

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-58731

(43)公開日 平成7年(1995)3月3日

(51)IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/00	A	7741-5K		
H 0 3 K 5/00				
H 0 4 L 7/02				
		7402-5 J	H 0 3 K 5/ 00	G
		7741-5K	H 0 4 L 7/ 02	Z
審査請求 未請求 請求項の数1 OL (全 5 頁) 最終頁に続く				

(21)出願番号 特願平5-91268

(22)出願日 平成5年(1993)4月19日

(71)出願人 594021175

旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号

(72)発明者 川田 泉

神奈川県厚木市栄町1丁目1番3号 旭化
成マイクロシステム株式会社内

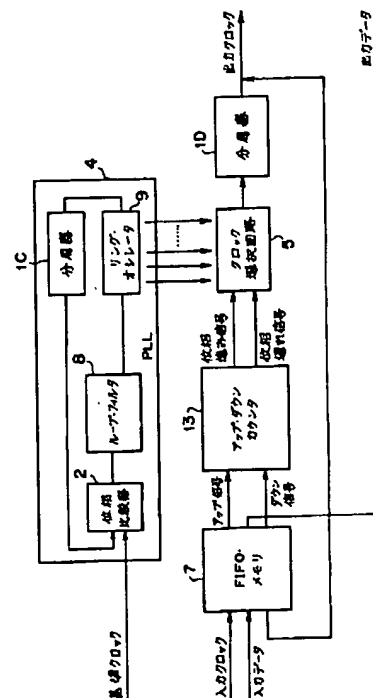
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 ジッタ抑圧回路

(57)【要約】

【目的】 ジッタ抑圧回路をL S Iとして一体化すること。

【構成】 入力クロックに同期した入力データからジッタ成分の抑圧された出力クロックに同期させた出力データを出力するジッタ抑圧回路において、前記入力クロックのタイミングで前記入力データを順次記憶し、前記出力クロックのタイミングで前記記憶されたデータを出力すると共に、前記入力クロックと前記出力クロックとのタイミング差の増減に応答した判別信号を出力するF I F Oメモリ7と、判別信号に基づいてアップまたはダウンカウントするアップダウンカウンタ13と、アップダウンカウンタ13のカウンタ数が所定の値を越えたときに互いに異なる位相の複数のクロックのいずれかを選択し、当該選択したクロックに基づいて出力クロックを生成するクロック選択回路5とを具える。



【特許請求の範囲】

【請求項1】 入力クロックに同期した入力データからジッタ成分の抑圧された出力クロックに同期させた出力データを出力するジッタ抑圧回路において、前記入力クロックのタイミングで前記入力データを順次記憶し、前記出力クロックのタイミングで前記記憶されたデータを出力すると共に、前記入力クロックと前記出力クロックとのタイミング差の増減に応答した判別信号を出力するファーストインファーストアウト手段と、前記判別信号に基づいてアップまたはダウンカウントするアップダウンカウント手段と、前記アップダウンカウント手段のカウント数が所定の値を越えたときに互いに異なる位相の複数のクロックのいずれかを選択し、当該選択したクロックに基づいて出力クロックを生成する出力クロック生成手段とを具えたことを特徴とするジッタ抑圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロックのジッタ抑圧回路に関するものである。

【0002】

【従来の技術】デジタル伝送では、デマルチプレクス等により、データ伝送用クロックおよびデータにジッタが発生している。このジッタを取り除くために、ジッタ抑圧回路が用いられる。

【0003】従来までは、図3に示すような位相比較器2および水晶発振回路11を用いたジッタ抑圧回路が知られている。

【0004】本回路は、ジッタを含んだ入力クロックの位相と水晶発振回路11（水晶発振子10、抵抗R、インバータ12、コンデンサC1、C2等からなる）により発生したクロックの位相とを各々分周器1を介して位相比較器2で比較し、その位相差により水晶発振子10の負荷3を変化させ、これによって発振周波数を微小に変化させることにより出力クロックが入力クロックに同期する。本回路はループ・ゲインが低いため、閉ループの帯域が狭く、帯域外の周波数よりなるジッタには追従せず、ジッタは抑圧される。さらに入力データをリタイミング回路6を用いて出力クロックと同期化することにより入力データのジッタを抑圧していた。

【0005】

【発明が解決しようとする課題】しかしながら、上記ジッタ抑圧回路では、水晶発振子10を必要とし、水晶発振子10をLSI化することが困難なため、ジッタ抑圧回路をLSIとして一体化することができなかった。

【0006】以上の点に鑑み、本発明は水晶発振子を使うことなく狭帯域のジッタ抑圧特性を実現するジッタ抑圧回路を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため

本発明は入力クロックに同期した入力データからジッタ成分の抑圧された出力クロックに同期させた出力データを出力するジッタ抑圧回路において、前記入力クロックのタイミングで前記入力データを順次記憶し、前記出力クロックのタイミングで前記記憶されたデータを出力すると共に、前記入力クロックと前記出力クロックとのタイミング差の増減に応答した判別信号を出力するファーストインファーストアウト手段と、前記判別信号に基づいてアップまたはダウンカウントするアップダウンカウント手段と、前記アップダウンカウント手段のカウント数が所定の値を越えたときに互いに異なる位相の複数のクロックのいずれかを選択し、当該選択したクロックに基づいて出力クロックを生成する出力クロック生成手段とを具えたことを特徴とする。

【0008】

【作用】本発明によりジッタ抑圧回路をLSIとして一体化することが可能となった。

【0009】

【実施例】以下、本発明を図面に基づいて詳細に説明する。

【0010】図1は、本発明のジッタ抑圧回路の実施例である。図2は各部の信号のタイミングを示す。図1において、4はPLLであって、入力クロックと同一周波数もしくはその整数倍のクロックを基準クロックとして使用しており、この基準クロックと分周器1Cの出力とを位相比較器2により位相比較し、その比較結果をループ・フィルタ8に通してリング・オシレータ9に入力し、このリング・オシレータ9の出力を分周器1Cに入力する。このようなPLL4において、入力クロックの数倍となる周波数の信号をリング・オシレータ9により発振させ、周波数一定の位相差のあるクロックを複数本得ることができる（図2参照）。

【0011】一時記憶回路としてのFIFO（ファーストインファーストアウト）メモリ7は、入力クロックにより書込みアドレスを順次決定して（つまり、入力クロックのタイミングでアドレスを昇順あるいは降順に変化させる）入力データを記憶し、分周器1Dからの出力クロックによって読出しアドレスを順次決定し、記憶データ（出力データ）を読出していく回路であり、入力クロックと出力クロックとの位相差に응答する書込みアドレスと読出しアドレスとの差を当該差の変化方向を示すアップ信号またはダウン信号として周期的に読出す。FIFOメモリ7からのアップ信号もしくはダウン信号をアップ・ダウン・カウンタ13に入力し、あるカウント数K（もしくは-K）を越えた（下まわった）場合、アップ・ダウン・カウンタ13より位相進み信号（位相遅れ信号）を出力し、この位相進み信号（位相遅れ信号）の立下りに応答してクロック選択回路5で上記リング・オシレータ9にて発生したクロックのうちから、現在のクロックより早い（遅い）位相のクロックを選択し分周器

1Dに入力する(図2参照)。分周器1Dでクロック選択回路5からのクロックを分周することにより出力クロックを再生することができる。

【0012】本ジッタ抑圧回路は閉ループであり、アップ・ダウン・カウンタ13が積分器の働きをするため、回路全体としては一次のPLLとして動作する。この一次のPLLのジッタ抑圧特性はアップ・ダウン・カウンタ13のカウント数、リング・オシレータ9によるクロック間の位相差、FIFOメモリ7の段数(アドレス数)および分周器1Dの分周数により決定される。

【0013】従って、希望のジッタ抑圧特性を上記変数を適当に決定することにより実現することが可能となる。本実施例によって、各変数を最適に選ぶことにより従来の水晶発振子を用いた回路と同程度のジッタ抑圧特性を実現できた。

【0014】

【発明の効果】以上のように、本発明によれば水晶発振子を用いず、ジッタ抑圧回路を実現でき、LSIとして一体化することが可能となった。

【図面の簡単な説明】

【図1】本発明のジッタ抑圧回路の実施例を示す図である。

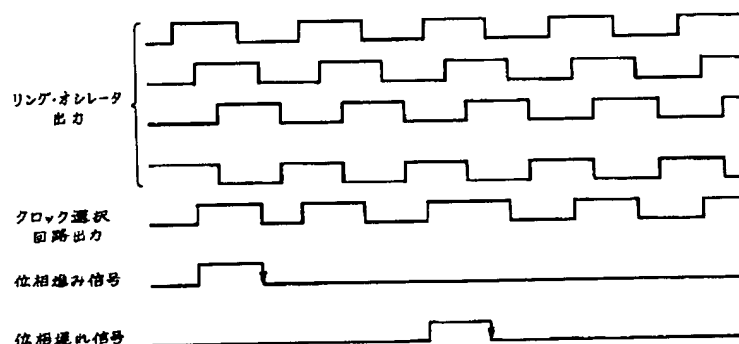
【図2】同実施例の各部の信号のタイミングを示す図である。

【図3】従来のジッタ抑圧回路を示す図である。

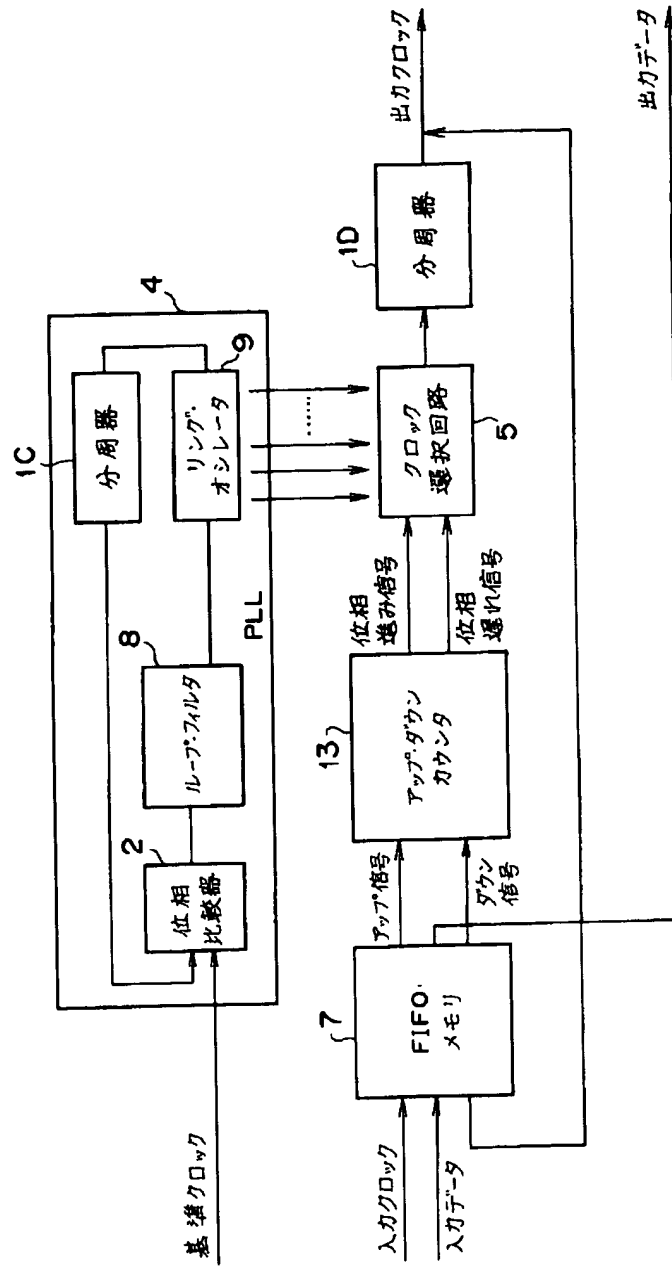
【符号の説明】

- 1A, 1B, 1C, 1D 分周器
- 2 位相比較器
- 3A, 3B 可変負荷
- 4 PLL (位相ロックドループ)
- 5 クロック選択回路
- 6 リタイミング回路
- 7 FIFOメモリ
- 8 ループ・フィルタ
- 9 リング・オシレータ
- 10 水晶発振子
- 12 インバータ
- R 抵抗
- C1, C2 コンデンサ

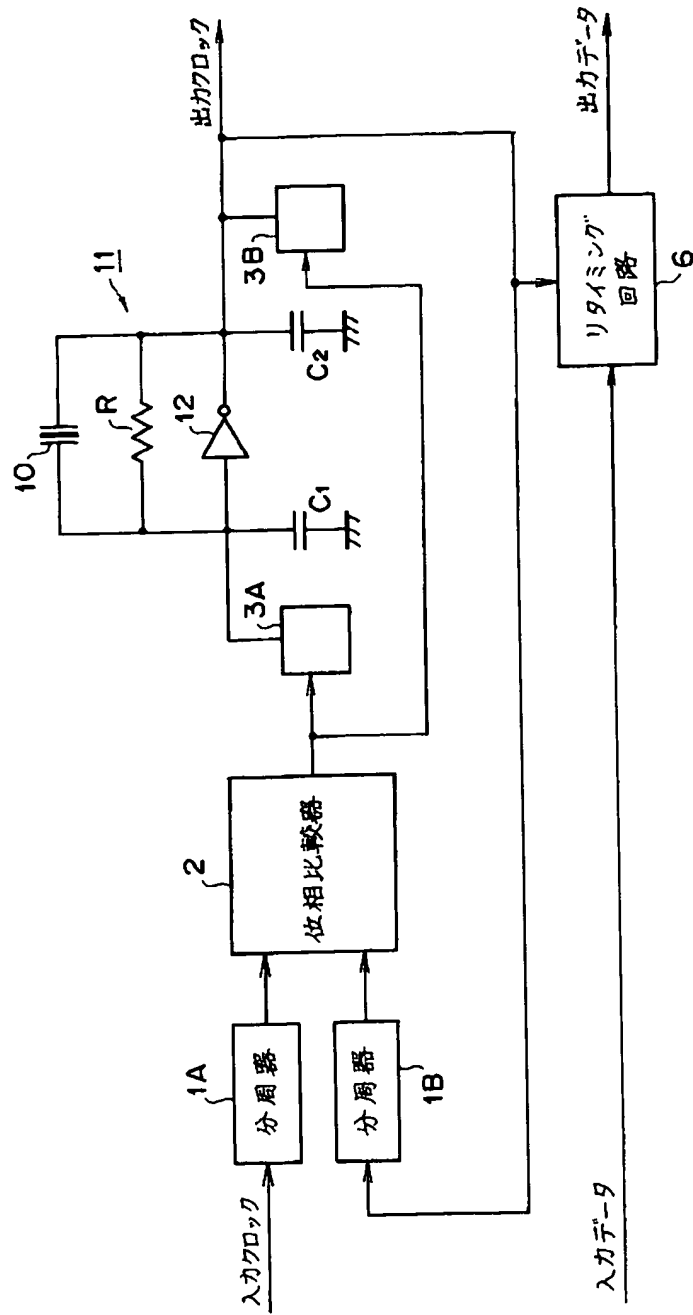
【図2】



【図1】



【図3】



フロントページの続き

(51) Int. Cl.⁶
H04L 25/40

識別記号 庁内整理番号
B 9199-5K

F I

技術表示箇所

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058731

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H04L 7/00

H03K 5/00

H04L 7/02

H04L 25/40

(21)Application number : 05-091268

(71)Applicant : ASAHI KASEI MICRO SYST KK

(22)Date of filing : 19.04.1993

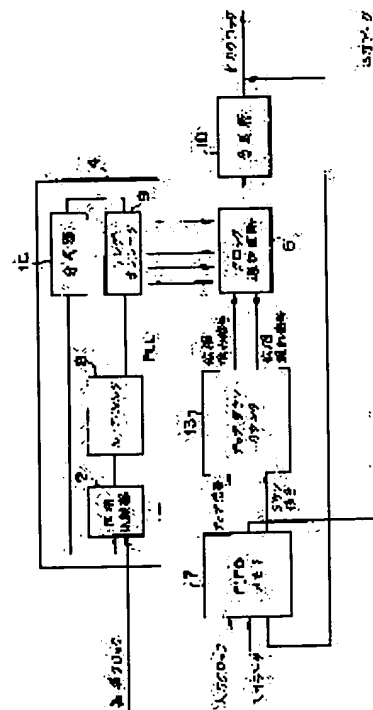
(72)Inventor : KAWADA IZUMI

(54) JITTER SUPPRESSING CIRCUIT

(57)Abstract:

PURPOSE: To integrate the jitter suppressing circuit into an LSI.

CONSTITUTION: The jitter suppressing circuit, which outputs data synchronized with an output clock having jitter components suppressed from input data synchronized with an input clock, is equipped with an FIFO memory 7 which stores the input data in order at the timing of the input clock, outputs the stored data at the timing of the output clock, and also outputs a decision signal responding to an increase or decrease in timing difference between the input clock and output clock, an up/down counter 13 which counts up or down on the basis of the decision signal, and a clock selecting circuit 5 which selects one of plural mutually out-of-phase clocks when the counted value of the up/down counter 13 exceeds a specific value and generates the output clock on the basis of the selected clock.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]